

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-064938

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

H01L 21/60
H01L 21/3205

(21)Application number : 08-219987

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.08.1996

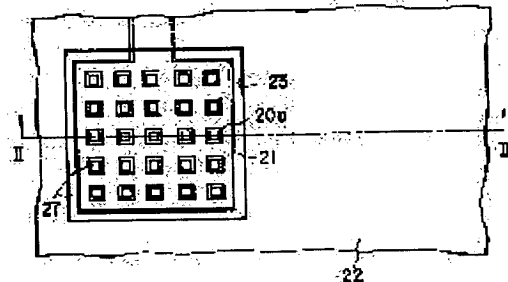
(72)Inventor : EMU BII ANANDO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the bonding defects of a device by a damascene process.

SOLUTION: A bonding pad 21 is formed in a grid shape and an etching stopper layer is arranged right under a passivation layer 22. The passivation layer 22 and the etching stopper layer are provided with an opening 23 in the bonding pad 21. The bonding pad 21 in the grid shape is filled with an insulation layer 27 and a bonding wire is connected to the bonding pad 21 in the grid shape.



LEGAL STATUS

[Date of request for examination] 23.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-64938

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 0 1		H 0 1 L 21/60	3 0 1 A
21/3205			21/88	T

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願平8-219987

(22) 出願日 平成8年(1996) 8月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 エム・ビー・アナンド

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

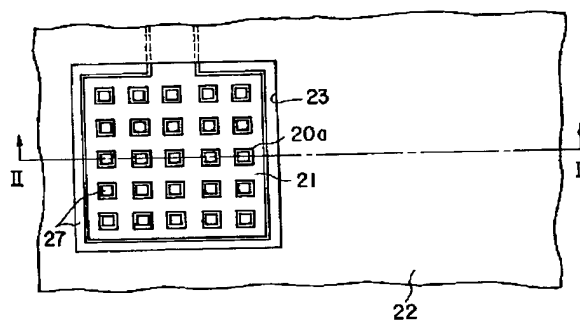
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ダマシンプロセスによるデバイスのボンディング不良をなくす。

【解決手段】 ボンディングパッド21は、格子状に形成されている。パッシベーション層22の直下には、エッチングストッパ層が配置されている。パッシベーション層22及びエッチングストッパ層には、ボンディングパッド21上に開口23が設けられている。格子状のボンディングパッド21の間には、絶縁層27が満たされている。ボンディングワイヤは、格子状のボンディングパッド21に結合される。



1

【特許請求の範囲】

【請求項 1】 表面が平坦な絶縁層の溝内に満たされた導電体によりボンディングパッドが構成される半導体装置において、前記絶縁層上に形成され、前記ボンディングパッド上に開口を有するエッチングストッパ層と、前記エッチングストッパ層上に形成され、前記ボンディングパッド上に開口を有するパッシベーション層とを具備することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記絶縁層の溝は、格子状を有し、前記ボンディングパッドも、格子状を有していることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記絶縁層及び前記パッシベーション層は、酸化シリコンから構成され、前記エッチングストッパ層は、窒化シリコンから構成されていることを特徴とする半導体装置。

【請求項 4】 表面が平坦な絶縁層に溝を設け、前記溝内に導電体を満たすことによりボンディングパッドを形成する半導体装置の製造方法において、前記絶縁層上及び前記ボンディングパッド上に、少なくとも前記絶縁層を構成する材料に対して選択的にエッチングできる材料から構成されるエッチングストッパ層を形成する工程と、前記エッチングストッパ層上に、少なくとも前記エッチングストッパ層を構成する材料に対して選択的にエッチングできる材料から構成されるパッシベーション層を形成する工程と、前記ボンディングパッド上に位置する前記パッシベーション層のみを除去する工程と、前記ボンディングパッド上に位置する前記エッチングストッパ層のみを除去する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、前記ボンディングパッドは、前記絶縁層上に前記溝を完全に満たすような導電体を形成する工程と、CMPにより前記導電体を研磨する工程とにより形成されることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 記載の半導体装置の製造方法において、前記前記パッシベーション層は、RIEによりエッチングされ、前記エッチングストッパ層は、RIE又はCDEによりエッチングされることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 4 記載の半導体装置の製造方法において、前記溝内に導電体を満たすことにより、前記ボンディングパッドを形成すると共に最上層の配線層を形成するこ

2

とを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダマシンプロセス又はデュアルダマシンプロセスによる多層配線構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】超大規模集積回路（ULSI）では、通常、3つ以上のレベルに配線層が形成される多層配線構造が採用される。

【0003】図22及び図23は、従来の配線プロセスによる半導体装置を示している。なお、図23は、図22のXXIIII-XXIIII線に沿う断面図である。

【0004】半導体基板11上には、フィールド酸化層12が形成されている。フィールド酸化層12により取り囲まれた素子領域には、ソース・ドレイン領域13及びゲート電極14を有するMOSトランジスタが形成されている。

【0005】半導体基板11上には、MOSトランジスタを完全に覆うような絶縁層15が形成されている。絶縁層15には、その表面からソース・ドレイン領域13まで達するコンタクトホール16が形成されている。絶縁層15上には、複数の配線17を有する第1レベルの配線層が形成されている。複数の配線17の各々は、コンタクトホール16を経由してMOSトランジスタのソース・ドレイン領域13に接続されている。

【0006】絶縁層15上には、複数の配線17を完全に覆うような絶縁層（interlayer dielectric）18が形成されている。絶縁層18には、その表面から複数の配線17まで達するコンタクトホール19が形成されている。絶縁層18上には、複数の配線20を有する第2レベルの配線層が形成されている。複数の配線20の各々は、コンタクトホール19を経由して第1レベルの配線層の配線17に接続されている。

【0007】また、絶縁層18上には、ボンディングパッド21が形成されている。絶縁層18上には、配線層20及びボンディングパッド21を完全に覆うような絶縁層（passivation dielectric）22が形成されている。絶縁層22には、ボンディングパッド21上に開口23が形成されている。

【0008】従来の配線プロセスによる半導体装置では、第1レベルの配線層の複数の配線17、第2レベルの配線層の複数の配線20及びボンディングパッド21は、それぞれ写真蝕刻工程（PEP）、即ちレジストパターンを形成し、このレジストパターンをマスクにして異方性エッチング（RIEなど）で金属層をエッチングする工程により形成される。

【0009】しかし、ULSIでは、同じレベルにおける配線同士の間隔は、非常に狭くなってきている。

【0010】このため、第一に、各配線層の配線17、

3

20を正確にパターンニングすることが困難になってきている。その理由は、レジストパターンを形成する露光装置の解像度が微細な配線パターンに追いつかない状態になっているためである。

【0011】第二に、同じレベルの配線の間の溝を絶縁層により満たすことが困難で、その配線の間に空洞が形成される。その理由は、絶縁層のステップカバレッジが悪いためである。この空洞は、多層配線技術に悪影響を与えるものである。

【0012】図24及び図25は、デュアルダマシンプロセスによる半導体装置を示している。なお、図25は、図24のXXV-XXV線に沿う断面図である。

【0013】半導体基板11上には、フィールド酸化層12が形成されている。フィールド酸化層12により取り囲まれた素子領域には、ソース・ドレイン領域13及びゲート電極14を有するMOSトランジスタが形成されている。

【0014】半導体基板11上には、MOSトランジスタを完全に覆うような絶縁層15、24が形成されている。絶縁層15、24には、その表面からソース・ドレイン領域13まで達するコンタクトホール16aが形成されている。

【0015】絶縁層24上には、絶縁層25が形成されている。絶縁層25には、第1レベルの配線層を形成するための複数の溝16bが形成されている。複数の溝16bの底部は、コンタクトホール16aまで達している。

【0016】コンタクトホール16a及び溝16bの内面には、バリアメタル17aが形成されている。また、バリアメタル17a上には、コンタクトホール16a及び溝16bを完全に満たす金属（又は金属合金）17bが形成されている。第1レベルの配線層となる複数の配線は、バリアメタル17a及び金属17bから構成される。

【0017】また、絶縁層25と第1レベルの配線層の表面は、一致し、かつ、平坦になっている。第1レベルの配線層となる複数の配線の各々は、MOSトランジスタのソース・ドレイン領域13に接続されている。

【0018】絶縁層25上及び第1レベルの配線層上には、絶縁層(interlayer dielectric)18及び絶縁層26が形成されている。絶縁層18、26には、その表面から第1レベルの配線層まで達するコンタクトホール19aが形成されている。

【0019】絶縁層26上には、絶縁層27が形成されている。絶縁層27には、第2レベルの配線層を形成するための複数の溝19bが形成されている。複数の溝19bの底部は、コンタクトホール19aまで達している。

【0020】コンタクトホール19a及び溝19bの内面には、バリアメタル20aが形成されている。また、

4

バリアメタル20a上には、コンタクトホール19a及び溝19bを完全に満たす金属（又は金属合金）20bが形成されている。第2レベルの配線層となる複数の配線は、バリアメタル20a及び金属20bから構成される。

【0021】また、絶縁層27と第2レベルの配線層の表面は、一致し、かつ、平坦になっている。第2レベルの配線層となる複数の配線の各々は、第1レベルの配線層に接続されている。

【0022】第2レベルの配線層を最上層をした場合、第2レベルの配線層の一部は、ボンディングパッド21を構成している。ボンディングパッド21は、第2レベルの配線層と同様に、金属（又は金属合金）から構成されている。

【0023】絶縁層27上、第2レベルの配線層上及びボンディングパッド21上には、絶縁層(passivation dielectric)22が形成されている。絶縁層22には、ボンディングパッド21上に開口23が形成されている。

【0024】このようなデュアルダマシンプロセスによる半導体装置では、従来の配線プロセスのような露光時の配線パターンのぼけの問題や配線間の空洞の問題を解決することが可能である。

【0025】しかし、デュアルダマシンプロセスやダマシンプロセスでは、CMP（化学的機械的研磨）技術が用いられる。このCMP技術を用いてボンディングパッド21を形成する場合、ボンディングパッド21の中央部が過大にエッチングされ、ボンディングパッド21が皿状になるいわゆるディッシング(dishing)が生じる。

【0026】図26は、ディッシングが生じる様子を示したものである。

【0027】即ち、CMPは、機械的に金属層21'をエッチングする他、化学的にも金属層21'をエッチングするものである。従って、深さに比べて十分に大きな幅（通常、ボンディングパッドの大きさは100μm×100μm程度である）を有する溝19bに金属（ボンディングパッド）21を残すような場合には、溝19bの中央部の金属21は、主として化学的エッチングにより過大にエッチングされる。

【0028】このディッシングは、ワイヤボンディング時において、ワイヤがボンディングパッド21に正確に結合されないボンディング不良を起こすものであり、製造歩留りの低下の原因となるものである。

【0029】図27及び図28は、ディッシングの問題を解決するために発明されたデュアルダマシンプロセスによる半導体装置を示している。なお、図28は、図27のXXVII-XXVII線に沿う断面図である。

【0030】半導体基板11上には、フィールド酸化層

5

12が形成されている。フィールド酸化層12により取り囲まれた素子領域には、ソース・ドレイン領域13及びゲート電極14を有するMOSトランジスタが形成されている。

【0031】半導体基板11上には、MOSトランジスタを完全に覆うような絶縁層15、24が形成されている。絶縁層15、24には、その表面からソース・ドレイン領域13まで達するコンタクトホール16aが形成されている。

【0032】絶縁層24上には、絶縁層25が形成されている。絶縁層25には、第1レベルの配線層を形成するための複数の溝16bが形成されている。複数の溝16bの底部は、コンタクトホール16aまで達している。

【0033】コンタクトホール16a及び溝16bの内面には、バリアメタル17aが形成されている。また、バリアメタル17a上には、コンタクトホール16a及び溝16bを完全に満たす金属（又は金属合金）17bが形成されている。第1レベルの配線層となる複数の配線は、バリアメタル17a及び金属17bから構成される。

【0034】また、絶縁層25と第1レベルの配線層の表面は、一致し、かつ、平坦になっている。第1レベルの配線層となる複数の配線の各々は、MOSトランジスタのソース・ドレイン領域13に接続されている。

【0035】絶縁層25上及び第1レベルの配線層上には、絶縁層(interlayer dielectric)18及び絶縁層26が形成されている。絶縁層18、26には、その表面から第1レベルの配線層まで達するコンタクトホール19aが形成されている。

【0036】絶縁層26上には、絶縁層27が形成されている。絶縁層27には、第2レベルの配線層を形成するための複数の溝19bが形成されている。複数の溝19bの底部は、コンタクトホール19aまで達している。

【0037】コンタクトホール19a及び溝19bの内面には、バリアメタル20aが形成されている。また、バリアメタル20a上には、コンタクトホール19a及び溝19bを完全に満たす金属（又は金属合金）20bが形成されている。第2レベルの配線層となる複数の配線は、バリアメタル20a及び金属20bから構成される。

【0038】また、絶縁層27と第2レベルの配線層の表面は、一致し、かつ、平坦になっている。第2レベルの配線層となる複数の配線の各々は、第1レベルの配線層に接続されている。

【0039】第2レベルの配線層を最上層をした場合、第2レベルの配線層の一部は、ボンディングパッド21を構成している。ボンディングパッド21は、第2レベルの配線層と同様に、金属（又は金属合金）から構成さ

6

れている。

【0040】但し、CMP時におけるディッシングを防止するため、ボンディングパッド21は、格子状に形成されている。即ち、ボンディングパッド21には、行列状に配置されるドット状の複数の穴が設けられている。

【0041】また、絶縁層27上及び第2レベルの配線層上には、絶縁層(passivation dielectric)22が形成されている。絶縁層22には、ボンディングパッド21上に開口23が形成されている。

【0042】このようなデュアルダマシンプロセスによる半導体装置では、ボンディングパッド21が格子状に形成されている。従って、CMP技術を用いてボンディングパッド21を形成する場合、ボンディングパッド21に、過大にエッチングされる部分が生じることがなく、ディッシングを有効に防止できる。

【0043】次に、図27及び図28の半導体装置の製造方法について説明する。

【0044】まず、図29に示すように、LOCOS法により、シリコン基板11上にフィールド酸化層12を形成する。この後、フィールド酸化層12により取り囲まれた素子領域に、ソース・ドレイン領域13及びゲート電極14を有するMOSトランジスタを形成する。

【0045】また、例えば、CVD法を用いて、シリコン基板11上に、MOSトランジスタを完全に覆うような1 μ m程度の絶縁層(BPSG(borophospho silicate glass)など)15を形成する。絶縁層15の表面は、CMPによって平坦化される。

【0046】次に、図30に示すように、例えばCVD法により、絶縁層15上に、エッチングストッパ層24及び絶縁層25が連続して形成される。絶縁層25は、例えば、酸化シリコンから構成される。絶縁層25が酸化シリコンから構成される場合、エッチングストッパ層24は、RIE(反応性イオンエッチング)における酸化シリコンに対するエッチング選択比が大きな材料、例えば窒化シリコンから構成される。

【0047】エッチングストッパ層24の厚さは、50nm程度に設定され、絶縁層25の厚さは、第1レベルの配線層を構成する配線の厚さと同じ厚さ、例えば0.6 μ m程度に形成される。

【0048】次に、図31に示すように、絶縁層25に複数の溝16bを形成する。この複数の溝16bは、写真蝕刻工程、即ち絶縁層25上へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層25のエッチング及びレジストの剥離により形成される。エッチングストッパ層24は、このRIEにおけるエッチングストッパとしての機能を果たす。

【0049】なお、複数の溝16bのパターンは、第1レベルの配線層を構成する配線のパターンと同じとなっている。

7

【0050】次に、図32に示すように、絶縁層15、24にコンタクトホール16aを形成する。コンタクトホール16aも、複数の溝16bの形成と同様に、写真蝕刻工程により形成される。即ち、コンタクトホール16aは、絶縁層25上及び溝16b内へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層15、24のエッチング及びレジストの剥離により形成される。

【0051】次に、図33に示すように、CVD法又はPVD法により、絶縁層25上、コンタクトホール16aの内面及び溝16bの内面に、バリアメタル17aが形成される。バリアメタル17aは、例えば、チタンと窒化チタンの積層や、窒化チタンシリコンなどから構成される。

【0052】次に、図34に示すように、CVD法又はPVD法により、バリアメタル17a上に、コンタクトホール16a及び溝16bを完全に満たす金属（又は金属合金）17'が形成される。金属17'は、例えば、アルミニウム、銅又はこれらの合金などから構成される。

【0053】金属17'の形成にPVD法を用いる場合には、高温PVD法や、コンタクトホール16a及び溝16bを完全に満たすような温度処理を含むPVD法が使用される。

【0054】次に、図35に示すように、CMP法により、コンタクトホール16a及び溝16bの外部に存在するバリアメタル17a及び金属17bをエッチングし、コンタクトホール16a及び溝16bの内部のみにバリアメタル17a及び金属17bを残存させる。

【0055】これにより、第1レベルの配線層が形成されると共に、第1レベルの配線層と基板中の拡散層（ソース・ドレイン領域）を電氣的に接続するコンタクトプラグが形成される。

【0056】次に、図36に示すように、CVD法を用いて、絶縁層25上及び第1レベルの配線層上に、厚さ約1μmの絶縁層（酸化シリコンなど）18を形成する。また、例えばCVD法により、絶縁層18上に、エッチングストップ層26及び絶縁層27が連続して形成される。絶縁層27は、例えば、酸化シリコンから構成される。絶縁層27が酸化シリコンから構成される場合、エッチングストップ層26は、RIE（反応性イオンエッチング）における酸化シリコンに対するエッチング選択比が大きな材料、例えば窒化シリコンから構成される。

【0057】エッチングストップ層26の厚さは、50nm程度に設定され、絶縁層27の厚さは、第2レベルの配線層を構成する配線の厚さと同じ厚さ、例えば0.6μm程度に形成される。

【0058】次に、図37及び図38に示すように、絶縁層25に複数の溝19b、19b'を形成する。この

8

複数の溝19b、19b'は、写真蝕刻工程、即ち絶縁層27上へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層27のエッチング及びレジストの剥離により形成される。エッチングストップ層26は、このRIEにおけるエッチングストップとしての機能を果たす。

【0059】なお、溝19bのパターンは、第2レベルの配線層を構成する配線のパターンと同じとなっており、溝19b'のパターンは、ボンディングパッド（格子状）のパターンと同じとなっている（第2レベルの配線層が最上層の場合）。

【0060】また、絶縁層18、26にコンタクトホール19aを形成する。コンタクトホール19aも、複数の溝19b、19b'の形成と同様に、写真蝕刻工程により形成される。即ち、コンタクトホール19aは、絶縁層27上及び溝19b、19b'内へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層18、26のエッチング及びレジストの剥離により形成される。

【0061】次に、図39及び図40に示すように、CVD法又はPVD法により、絶縁層27上、コンタクトホール19aの内面及び溝19b、19b'の内面に、バリアメタル20aが形成される。バリアメタル20aは、例えば、チタンと窒化チタンの積層や、窒化チタンシリコンなどから構成される。

【0062】また、CVD法又はPVD法により、バリアメタル20a上に、コンタクトホール19a及び溝19b、19b'を完全に満たす金属（又は金属合金）20b、21が形成される。金属20b、21は、例えば、アルミニウム、銅又はこれらの合金などから構成される。

【0063】金属20b、21の形成にPVD法を用いる場合には、高温PVD法や、コンタクトホール19a及び溝19b、19b'を完全に満たすような温度処理を含むPVD法が使用される。

【0064】この後、CMP法により、コンタクトホール19a及び溝19b、19b'の外部に存在するバリアメタル20a及び金属20b、21をエッチングし、コンタクトホール19a及び溝19b、19b'の内部のみにバリアメタル20a及び金属20b、21を残存させる。

【0065】これにより、第2レベルの配線層及び格子状のボンディングパッドが形成されると共に、第1レベルの配線層と第2レベルの配線層を電氣的に接続するコンタクトプラグが形成される。

【0066】次に、図41に示すように、例えばCVD法により、絶縁層27上、第2レベルの配線層上及びボンディングパッド上にパッシベーション層22を形成する。このパッシベーション層22は、酸化シリコンなどから構成される。

9

【0067】次に、図42及び図43に示すように、パッシベーション層22に開口23が形成される。この開口23は、格子状のボンディングパッド21上に位置し、写真蝕刻工程により形成される。即ち、開口23は、絶縁層22上へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層22のエッチング及びレジストの剥離により形成される。

【0068】この開口23を形成するためのRIEでは、通常、絶縁層27も同時にエッチングされてしま10う。これは、絶縁層22と絶縁層27が同じ材料（例えば酸化シリコン）から構成されているためである。

【0069】上記デュアルダマシンプロセス又はダマシンプロセスにおける半導体装置の特徴は、配線となる金属自体はパターン化されず、絶縁層がパターン化されている点にある。つまり、配線の間に絶縁層を満たすというプロセスが存在しないため、配線間に空洞が形成されることもない。

【0070】また、配線に低抵抗の銅を使用する場合、銅のパターニングは非常に困難であることが知られてい20る。デュアルダマシンプロセス又はダマシンプロセスでは、銅のパターニングは行わず、絶縁層の溝内に銅を埋め込むことにより配線を形成しているため、銅から構成される配線を実現可能とする。

【0071】また、デュアルダマシンプロセスでは、配線とコンタクトプラグを同時に形成することができるため、製造コストが低減できるという利点を有する。

【0072】

【発明が解決しようとする課題】上記デュアルダマシンプロセスにおいて、ボンディングパッド21上に開口23を設ける際のRIEでは、絶縁層27も同時にエッチ30ングされてしまう。これは、上述のように、絶縁層22と絶縁層27が同じ材料（例えば酸化シリコン）から構成されているためである。

【0073】この場合、図44及び図45に示すように、ワイヤボンディングを行うと、ワイヤ28が格子状のボンディングパッド21を押し潰すため、ボンディング不良を発生させることがある。これは、格子状のボンディングパッド21の間が空間になっており、ボンディングパッド21に変形が生じ易くなっているためであ40る。

【0074】本発明は、上記欠点を解決すべくなされたもので、その目的は、デュアルダマシンプロセス又はダマシンプロセスによる半導体装置において、ボンディングパッドを格子状にすると共に、格子状のボンディングパッドの変形を防ぎ、ボンディング不良をなくして、信頼性や製造歩留りの向上を図ることである。

【0075】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、表面が平坦な絶縁層の溝内50

10

に満たされた導電体により構成されるボンディングパッドと、前記絶縁層上に形成され、前記ボンディングパッド上に開口を有するエッチングストップ層と、前記エッチングストップ層上に形成され、前記ボンディングパッド上に開口を有するパッシベーション層とを備えている。

【0076】前記絶縁層の溝は、格子状を有し、前記ボンディングパッドも、格子状を有している。前記絶縁層及び前記パッシベーション層は、酸化シリコンから構成され、前記エッチングストップ層は、窒化シリコンから構成されている。

【0077】本発明の半導体装置の製造方法は、表面が平坦な絶縁層に溝を設け、前記溝内に導電体を満たすことによりボンディングパッドを形成し、前記絶縁層上及び前記ボンディングパッド上に、少くとも前記絶縁層を構成する材料に対して選択的にエッチングできる材料から構成されるエッチングストップ層を形成し、前記エッチングストップ層上に、少くとも前記エッチングストップ層を構成する材料に対して選択的にエッチングできる材料から構成されるパッシベーション層を形成し、前記ボンディングパッド上に位置する前記パッシベーション層のみを除去し、前記ボンディングパッド上に位置する前記エッチングストップ層のみを除去する、という一連の工程を備えている。

【0078】前記ボンディングパッドは、前記絶縁層上に前記溝を完全に満たすような導電体を形成した後に、CMPにより前記導電体を研磨することにより形成される。前記前記パッシベーション層は、RIEによりエッチングされ、前記エッチングストップ層は、RIE又はCDEによりエッチングされる。

【0079】前記溝内に導電体を満たすことにより、前記ボンディングパッドが形成されると共に最上層の配線層も同時に形成される。

【0080】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体装置及びその製造方法について詳細に説明する。

【0081】図1及び図2は、本発明の実施の形態に関わるデュアルダマシンプロセスによる半導体装置を示している。なお、図2は、図1のI-I線に沿う断面図である。

【0082】半導体基板11上には、フィールド酸化層12が形成されている。フィールド酸化層12により取り囲まれた素子領域には、ソース・ドレイン領域13及びゲート電極14を有するMOSトランジスタが形成されている。

【0083】半導体基板11上には、MOSトランジスタを完全に覆うような絶縁層15、24が形成されている。絶縁層15、24には、その表面からソース・ドレイン領域13まで達するコンタクトホール16aが形成

されている。

【0084】絶縁層24上には、絶縁層25が形成されている。絶縁層25には、第1レベルの配線層を形成するための複数の溝16bが形成されている。複数の溝16bの底部は、コンタクトホール16aまで達している。

【0085】コンタクトホール16a及び溝16bの内面には、バリアメタル17aが形成されている。また、バリアメタル17a上には、コンタクトホール16a及び溝16bを完全に満たす金属（又は金属合金）17bが形成されている。第1レベルの配線層となる複数の配線は、バリアメタル17a及び金属17bから構成される。

【0086】また、第1レベルの配線層とMOSトランジスタのソース・ドレイン領域13を接続するコンタクトプラグも、バリアメタル17a及び金属17bから構成される。また、絶縁層25と第1レベルの配線層の表面は、一致し、かつ、平坦になっている。

【0087】絶縁層25上及び第1レベルの配線層上には、絶縁層（interlayer dielectric）18及び絶縁層26が形成されている。絶縁層18、26には、その表面から第1レベルの配線層まで達するコンタクトホール19aが形成されている。

【0088】絶縁層26上には、絶縁層27が形成されている。絶縁層27には、第2レベルの配線層を形成するための複数の溝19bが形成されている。複数の溝19bの底部は、コンタクトホール19aまで達している。

【0089】コンタクトホール19a及び溝19bの内面には、バリアメタル20aが形成されている。また、バリアメタル20a上には、コンタクトホール19a及び溝19bを完全に満たす金属（又は金属合金）20bが形成されている。第2レベルの配線層となる複数の配線は、バリアメタル20a及び金属20bから構成される。

【0090】また、第1レベルの配線層と第2レベルの配線層を接続するコンタクトプラグも、バリアメタル20a及び金属20bから構成される。また、絶縁層27と第2レベルの配線層の表面は、一致し、かつ、平坦になっている。

【0091】第2レベルの配線層を最上層をした場合、第2レベルの配線層の一部は、ボンディングパッド21を構成している。ボンディングパッド21は、第2レベルの配線層と同様に、金属（又は金属合金）から構成されている。但し、CMP時におけるディッシングを防止するため、ボンディングパッド21は、例えば、格子状に形成されている。

【0092】また、絶縁層27上及び第2レベルの配線層上には、エッチングストップ層29が形成されている。エッチングストップ層29上には、パッシベシ

ン層（passivation dielectric）22が形成されている。

【0093】エッチングストップ層29は、絶縁層27及びパッシベーション層22を構成する材料に対して選択的にエッチングできるような材料から構成される。例えば、絶縁層27及びパッシベーション層22が酸化シリコンから構成されるような場合には、エッチングストップ層29は、窒化シリコンから構成される。エッチングストップ層29は、約50nmの厚さで形成される。

【0094】ボンディングパッド21上において、パッシベーション層22及びエッチングストップ層29には、開口23が形成されている。

【0095】このようなデュアルダマシンプロセスによる半導体装置では、ボンディングパッド21が格子状に形成されている。従って、CMP技術を用いてボンディングパッド21を形成する場合、ボンディングパッド21に、過大にエッチングされる部分が生じることがなく、ディッシングを有効に防止できる。

【0096】また、格子状のボンディングパッド21の間には、絶縁層27が完全に満たされている。このため、ワイヤボンディングにおけるワイヤの圧着時に、ボンディングパッド21が押し潰されたり又は変形したりすることがない。従って、ボンディング不良の発生を抑えることができ、信頼性や製造歩留りの向上に貢献することができる。

【0097】また、パッシベーション層22の直下には、パッシベーション層22及び絶縁層27を構成する材料に対して選択的にエッチングできる材料から構成されるエッチングストップ層29が配置されている。従って、パッシベーション層22に開口23を設ける際に、格子状のボンディングパッド21の間の絶縁層27がエッチングされることもない。

【0098】次に、図1及び図2の半導体装置の製造方法について説明する。

【0099】まず、図3に示すように、LOCOS法により、シリコン基板11上にフィールド酸化層12を形成する。この後、フィールド酸化層12により取り囲まれた素子領域に、ソース・ドレイン領域13及びゲート電極14を有するMOSトランジスタを形成する。

【0100】また、例えば、CVD法を用いて、シリコン基板11上に、MOSトランジスタを完全に覆うような1μm程度の絶縁層（BPSG（borophospho silicate glass）など）15を形成する。絶縁層15の表面は、CMPによって平坦化される。

【0101】次に、図4に示すように、例えばCVD法により、絶縁層15上に、エッチングストップ層24及び絶縁層25が連続して形成される。絶縁層25は、例えば、酸化シリコンから構成される。絶縁層25が酸化シリコンから構成される場合、エッチングストップ層24は、RIE（反応性イオンエッチング）における酸化

13

シリコンに対するエッチング選択比が大きな材料、例えば窒化シリコンから構成される。

【0102】エッチングストップ層24の厚さは、50nm程度に設定され、絶縁層25の厚さは、第1レベルの配線層を構成する配線の厚さと同じ厚さ、例えば0.6μm程度に形成される。

【0103】次に、図5に示すように、絶縁層25に複数の溝16bを形成する。この複数の溝16bは、写真蝕刻工程、即ち絶縁層25上へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層25のエッチング及びレジストの剥離により形成される。エッチングストップ層24は、このRIEにおけるエッチングストップとしての機能を果たす。

【0104】なお、複数の溝16bのパターンは、第1レベルの配線層を構成する配線のパターンと同じとなっている。

【0105】次に、図6に示すように、絶縁層15、24にコンタクトホール16aを形成する。コンタクトホール16aも、複数の溝16bの形成と同様に、写真蝕刻工程により形成される。即ち、コンタクトホール16aは、絶縁層25上及び溝16b内へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層15、24のエッチング及びレジストの剥離により形成される。

【0106】次に、図7に示すように、CVD法又はPVD法により、絶縁層25上、コンタクトホール16aの内面及び溝16bの内面に、バリアメタル17aが形成される。バリアメタル17aは、例えば、チタンと窒化チタンの積層や、窒化チタンシリコンなどから構成される。

【0107】次に、図8に示すように、CVD法又はPVD法により、バリアメタル17a上に、コンタクトホール16a及び溝16bを完全に満たす金属（又は金属合金）17'が形成される。金属17'は、例えば、アルミニウム、銅又はこれらの合金などから構成される。

【0108】金属17'の形成にPVD法を用いる場合には、高温PVD法や、コンタクトホール16a及び溝16bを完全に満たすような温度処理を含むPVD法が使用される。

【0109】次に、図9に示すように、CMP法により、コンタクトホール16a及び溝16bの外部に存在するバリアメタル17a及び金属17bをエッチングし、コンタクトホール16a及び溝16bの内部のみにバリアメタル17a及び金属17bを残存させる。

【0110】これにより、第1レベルの配線層が形成されると共に、第1レベルの配線層と基板中の拡散層（ソース・ドレイン領域）を電氣的に接続するコンタクトプラグが形成される。

【0111】次に、図10に示すように、CVD法を用

14

いて、絶縁層25上及び第1レベルの配線層上に、厚さ約1μmの絶縁層（酸化シリコンなど）18を形成する。また、例えばCVD法により、絶縁層18上に、エッチングストップ層26及び絶縁層27が連続して形成される。絶縁層27は、例えば、酸化シリコンから構成される。絶縁層27が酸化シリコンから構成される場合、エッチングストップ層26は、RIE（反応性イオンエッチング）における酸化シリコンに対するエッチング選択比が大きな材料、例えば窒化シリコンから構成される。

【0112】エッチングストップ層26の厚さは、50nm程度に設定され、絶縁層27の厚さは、第2レベルの配線層を構成する配線の厚さと同じ厚さに形成される。

【0113】次に、図11及び図12に示すように、絶縁層25に複数の溝19b、19b'を形成する。この複数の溝19b、19b'は、写真蝕刻工程、即ち絶縁層27上へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層27のエッチング及びレジストの剥離により形成される。エッチングストップ層26は、このRIEにおけるエッチングストップとしての機能を果たす。

【0114】なお、溝19bのパターンは、第2レベルの配線層を構成する配線のパターンと同じとなっており、溝19b'のパターンは、ボンディングパッド（格子状）のパターンと同じとなっている（第2レベルの配線層が最上層の場合）。

【0115】次に、図13及び図14に示すように、絶縁層18、26にコンタクトホール19aを形成する。コンタクトホール19aも、複数の溝19b、19b'の形成と同様に、写真蝕刻工程により形成される。即ち、コンタクトホール19aは、絶縁層27上及び溝19b、19b'内へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層18、26のエッチング及びレジストの剥離により形成される。

【0116】この後、CVD法又はPVD法により、絶縁層27上、コンタクトホール19aの内面及び溝19b、19b'の内面に、バリアメタル20aが形成される。バリアメタル20aは、例えば、チタンと窒化チタンの積層や、窒化チタンシリコンなどから構成される。

【0117】また、CVD法又はPVD法により、バリアメタル20a上に、コンタクトホール19a及び溝19b、19b'を完全に満たす金属（又は金属合金）20b、21が形成される。金属20b、21は、例えば、アルミニウム、銅又はこれらの合金などから構成される。

【0118】金属20b、21の形成にPVD法を用いる場合には、高温PVD法や、コンタクトホール19a及び溝19b、19b'を完全に満たすような温度処理

15

を含むPVD法が使用される。

【0119】この後、CMP法により、コンタクトホール19a及び溝19b、19b'の外部に存在するバリアメタル20a及び金属20b、21をエッチングし、コンタクトホール19a及び溝19b、19b'の内部のみにバリアメタル20a及び金属20b、21を残存させる。

【0120】これにより、第2レベルの配線層及び格子状のボンディングパッドが形成されると共に、第1レベルの配線層と第2レベルの配線層を電氣的に接続するコンタクトプラグが形成される。

【0121】次に、図15に示すように、例えばCVD法により、絶縁層27上、第2レベルの配線層上及びボンディングパッド上に、エッチングストップ層29及びパッシベーション層22が連続して形成される。

【0122】パッシベーション層22は、例えば、酸化シリコンから構成される。パッシベーション層22が酸化シリコンから構成される場合、エッチングストップ層29は、RIE（反応性イオンエッチング）における酸化シリコンに対するエッチング選択比が大きな材料、例えば窒化シリコンから構成される。エッチングストップ層29の厚さは、50nm程度に設定される。

【0123】次に、図16及び図17に示すように、パッシベーション層22に開口23が形成される。この開口23は、格子状のボンディングパッド21上に位置し、写真蝕刻工程により形成される。即ち、開口23は、絶縁層22上へのレジストの塗布及び当該レジストのパターニング及び当該レジストをマスクにしたRIEによる絶縁層22のエッチング及びレジストの剥離により形成される。

【0124】この開口23を形成するためのRIEでは、エッチングストップ層29が存在するため、絶縁層27は、エッチングされることがない。

【0125】次に、図18及び図19に示すように、パッシベーション層22の開口23の底部に存在するエッチングストップ層29のみを除去する。エッチングストップ層29の除去は、RIEなどの異方性エッチングにより行うことができる他、CDE（ケミカルドライエッチング）などの等方性エッチングによって行うこともできる。

【0126】以上の工程により、上述の図1及び図2の半導体装置が完成する。

【0127】上記製造方法の特徴は、パッシベーション層22の直下にエッチングストップ層29を設けている点にある。このため、ボンディングパッド21上に開口23を設けるためのRIEにおいて、格子状のボンディングパッド21の間の絶縁層27がエッチングされることもない。

【0128】つまり、図20及び図21に示すように、格子状のボンディングパッド21の間には絶縁層27が

16

満たされた状態であり、この後、ワイヤボンディングを行っても、ワイヤ28が格子状のボンディングパッド21を押し潰したり又は変形させたりすることがない。

【0129】従って、ボンディング不良が発生することもなく、信頼性及び製造歩留りの向上を図ることができる。

【0130】

【発明の効果】以上、説明したように、本発明の半導体装置及びその製造方法によれば、次のような効果を奏する。

【0131】パッシベーション層の直下には、エッチングストップ層が設けられている。このため、ボンディングパッド上に開口を設ける際のRIEでは、格子状のボンディングパッドの間の絶縁層がエッチングされない。即ち、格子状のボンディングパッドの間には絶縁層が満たされている。よって、この後、ワイヤボンディングを行っても、ワイヤが格子状のボンディングパッドを押し潰したり又は変形させたりすることがないため、ボンディング不良が発生することもなく、信頼性及び製造歩留りの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に関わる半導体装置を示す平面図。

【図2】図1のI-I線に沿う断面図。

【図3】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図4】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図5】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図6】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図7】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図8】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図9】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図10】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図11】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

【図12】図11のX-I-X線に沿う断面図。

【図13】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

【図14】図13のX-IV-X線に沿う断面図。

【図15】本発明の実施の形態に関わる製造方法の一工程を示す断面図。

【図16】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

17

【図 17】図 16 の X V I I - X V I I 線に沿う断面図。

【図 18】本発明の実施の形態に関わる製造方法の一工程を示す平面図。

【図 19】図 18 の X I X - X I X 線に沿う断面図。

【図 20】図 1 の半導体装置においてワイヤボンディングを行った状態を示す平面図。

【図 21】図 20 の X X I - X X I 線に沿う断面図。

【図 22】従来の半導体装置を示す平面図。

【図 23】図 22 の X X I I I - X X I I I 線に沿う断面図。

【図 24】従来の半導体装置を示す平面図。

【図 25】図 24 の X X V - X X V 線に沿う断面図。

【図 26】従来のダマシプロセスにおけるディッシング現象を示す図。

【図 27】従来の半導体装置を示す平面図。

【図 28】図 27 の X X V I I I - X X V I I I 線に沿う断面図。

【図 29】従来の製造方法の一工程を示す断面図。

【図 30】従来の製造方法の一工程を示す断面図。

【図 31】従来の製造方法の一工程を示す断面図。

【図 32】従来の製造方法の一工程を示す断面図。

【図 33】従来の製造方法の一工程を示す断面図。

【図 34】従来の製造方法の一工程を示す断面図。

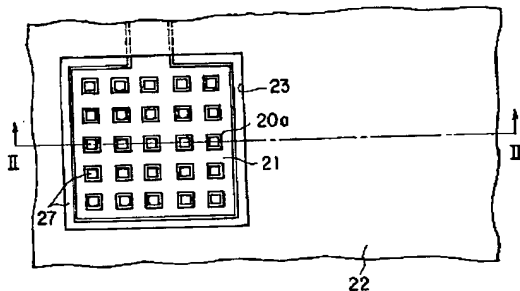
【図 35】従来の製造方法の一工程を示す断面図。

【図 36】従来の製造方法の一工程を示す断面図。

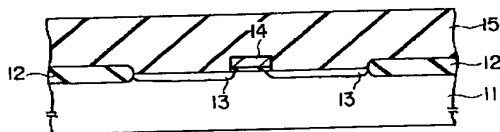
【図 37】従来の製造方法の一工程を示す平面図。

【図 38】図 37 の X X X V I I I - X X X V I I I 線*

【図 1】



【図 3】



18

*に沿う断面図。

【図 39】従来の製造方法の一工程を示す平面図。

【図 40】図 39 の X L - X L 線に沿う断面図。

【図 41】従来の製造方法の一工程を示す断面図。

【図 42】従来の製造方法の一工程を示す平面図。

【図 43】図 42 の X L I I I - X L I I I 線に沿う断面図。

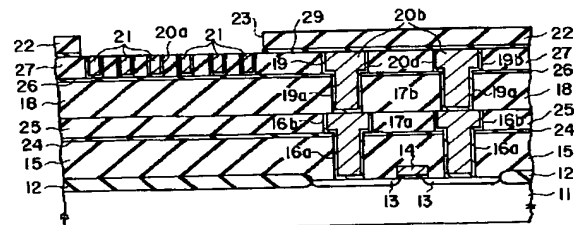
【図 44】図 27 の装置においてワイヤボンディングを行った状態を示す平面図。

【図 45】図 44 の X L V - X L V 線に沿う断面図。

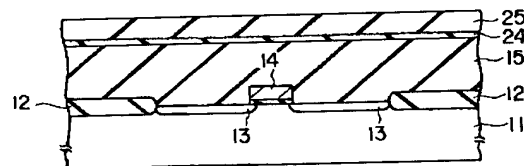
【符号の説明】

11	: シリコン基板、
12	: フィールド絶縁層、
13	: ソース・ドレイン領域、
14	: ゲート電極、
15, 18, 25, 27	: 絶縁層、
16, 16a, 19, 19a	: コンタクトホール、
16b, 19b	: 配線溝、
17a, 20a	: バリアメタル、
17b, 20b	: 金属、
17, 20	: 配線、
21	: ボンディングパッド
(金属)、	
22	: パッシベーション層、
23	: 開口、
24, 26, 29	: エッチングストップ

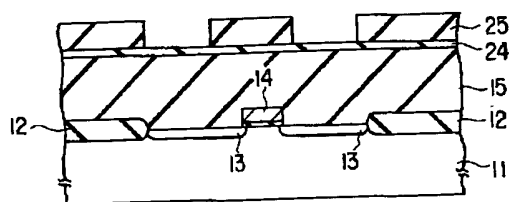
【図 2】



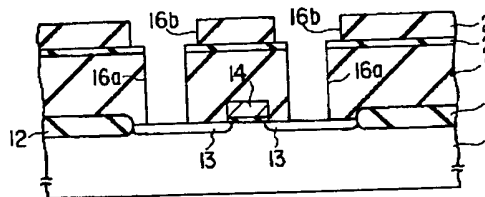
【図 4】



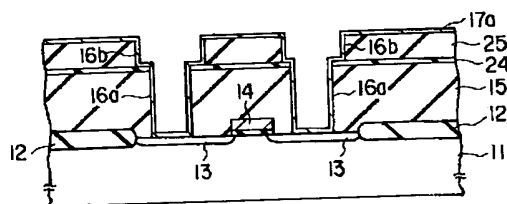
【図 5】



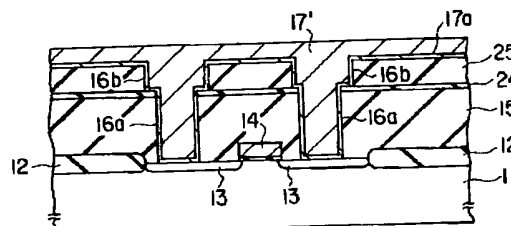
【図 6】



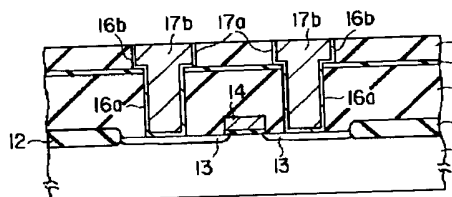
【図 7】



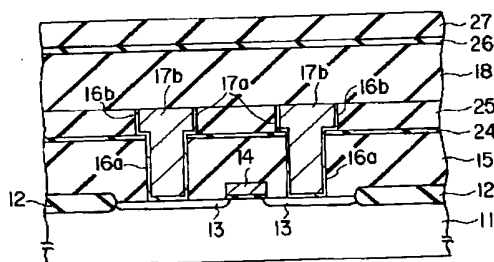
【図 8】



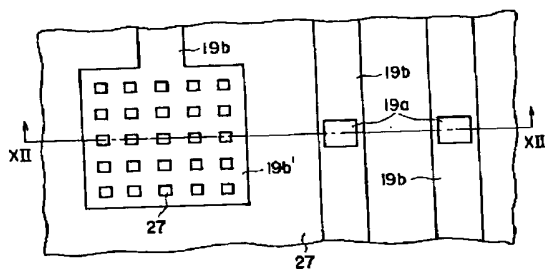
【図 9】



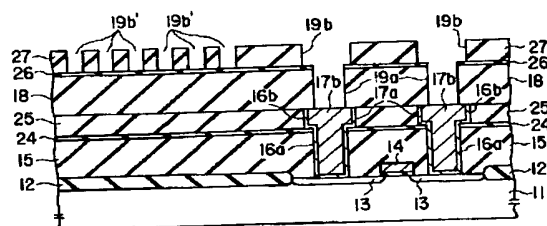
【図 10】



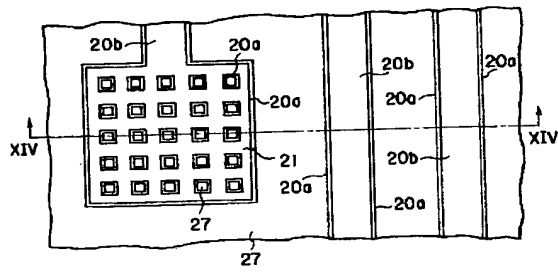
【図 11】



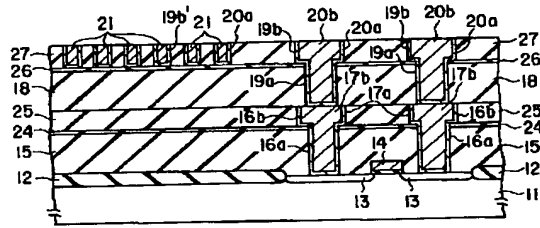
【図 12】



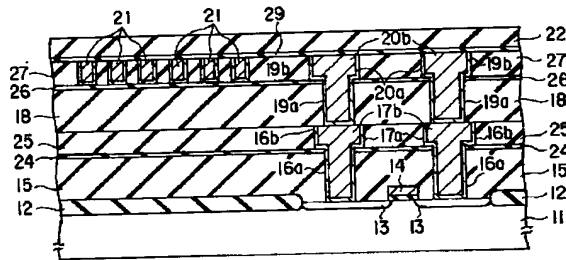
【図 13】



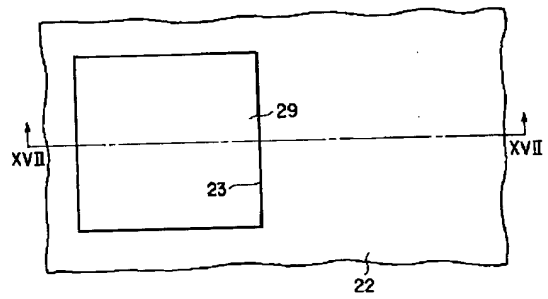
【図 14】



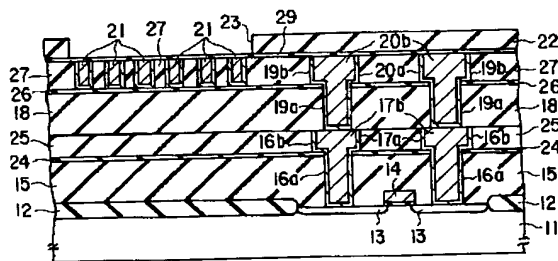
【図 15】



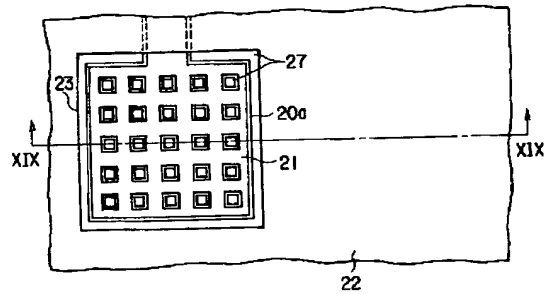
【図 16】



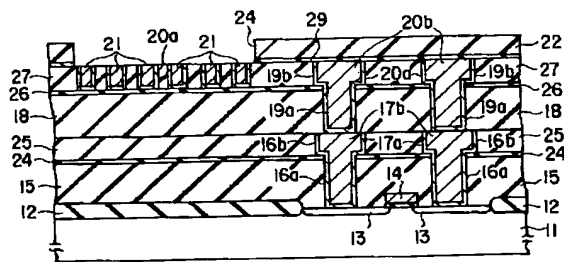
【図 17】



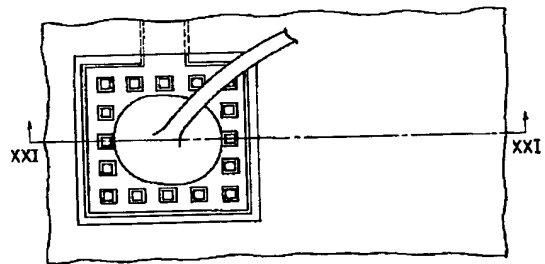
【図 18】



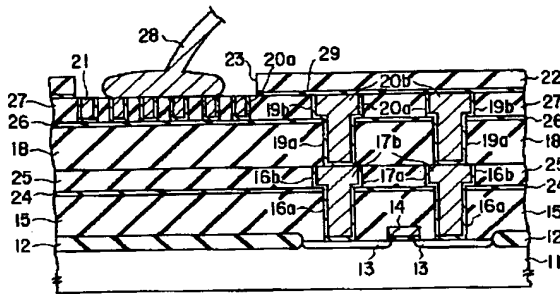
【図 19】



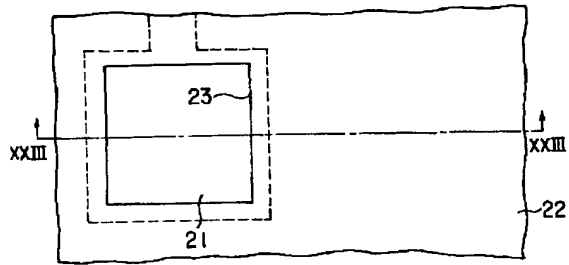
【図 20】



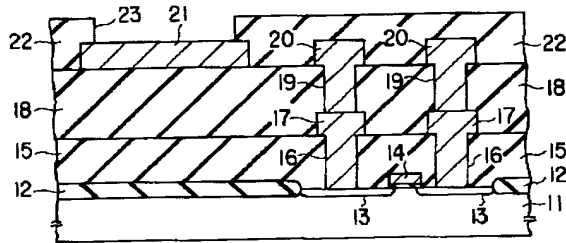
【図 21】



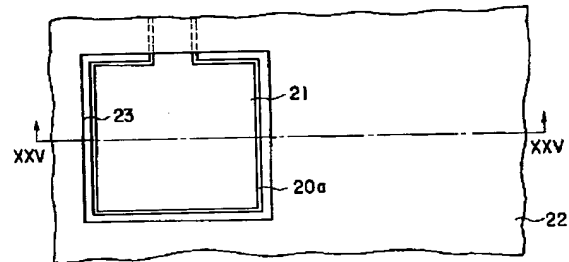
【図 22】



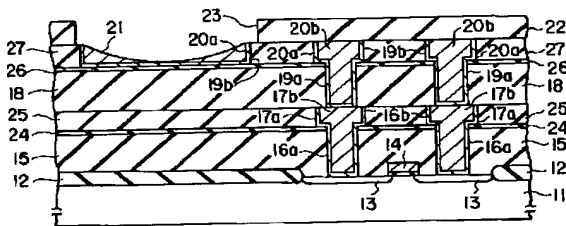
【図 23】



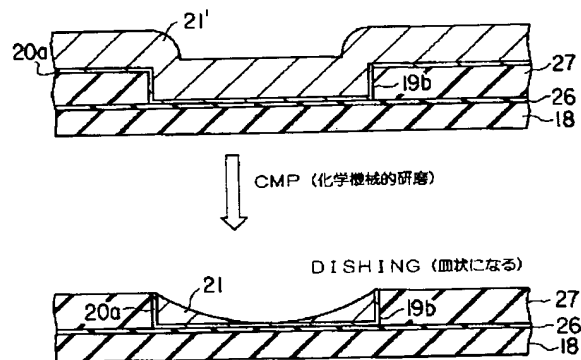
【図 24】



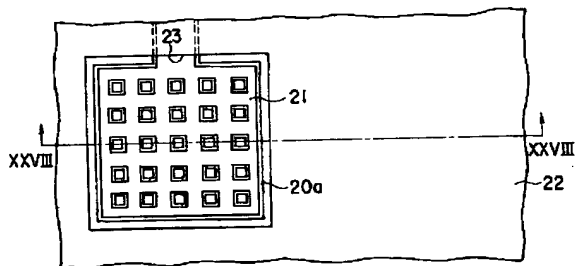
【図 25】



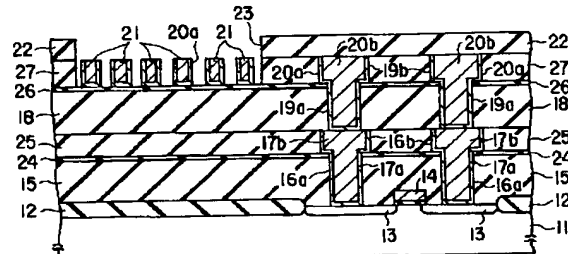
【図 26】



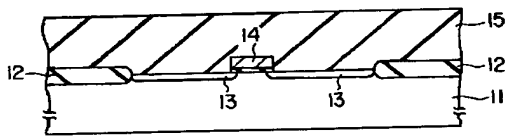
【図 27】



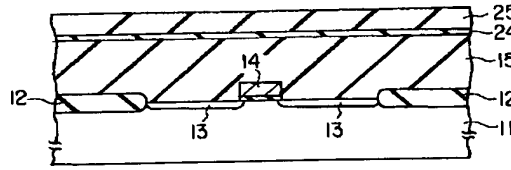
【図 28】



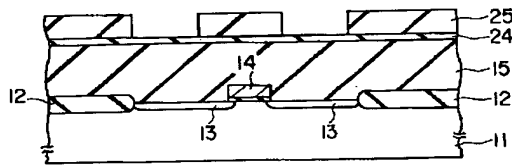
【図 2 9】



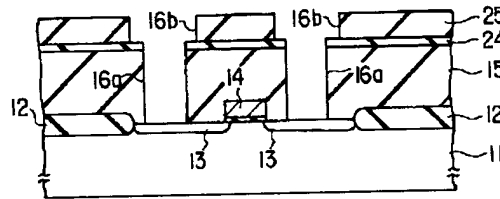
【図 3 0】



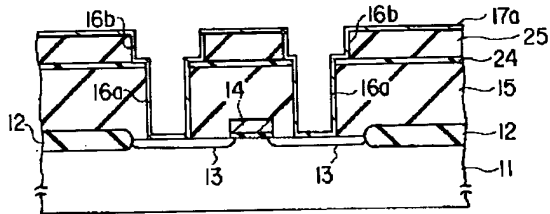
【図 3 1】



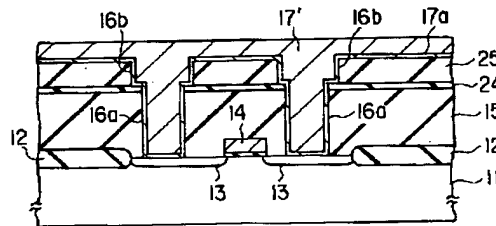
【図 3 2】



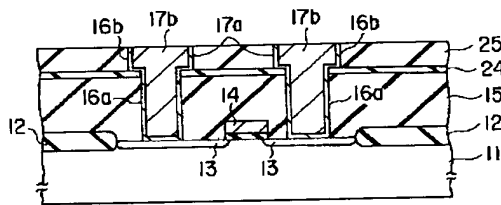
【図 3 3】



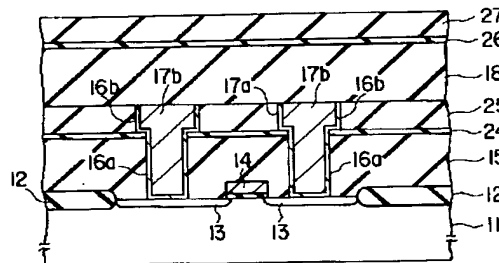
【図 3 4】



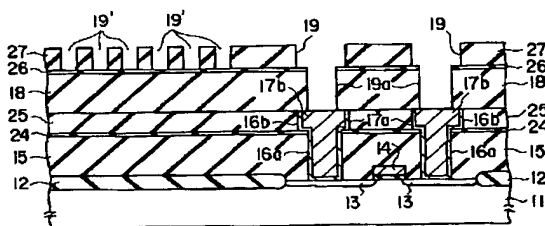
【図 3 5】



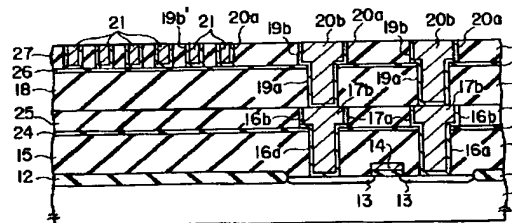
【図 3 6】



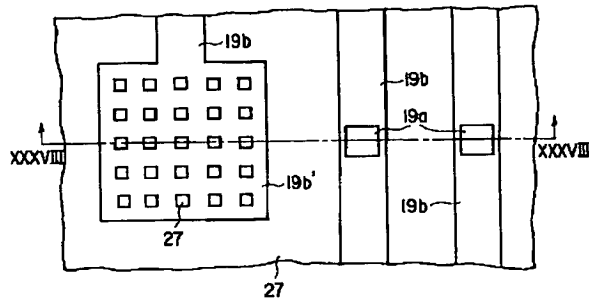
【図 3 8】



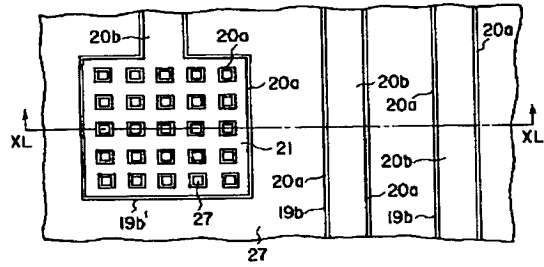
【図 4 0】



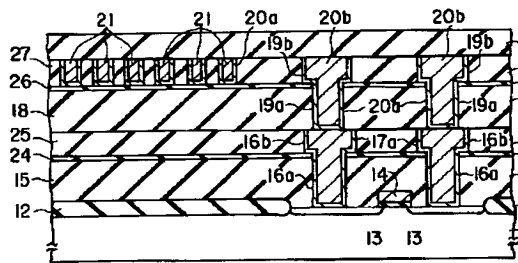
【図 3 7】



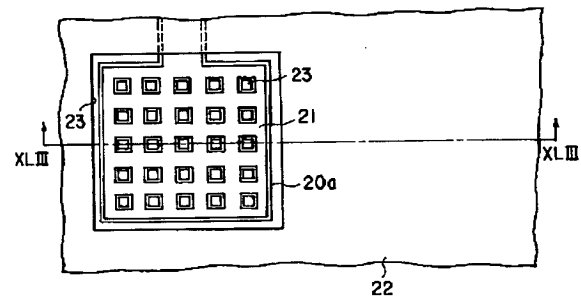
【図 3 9】



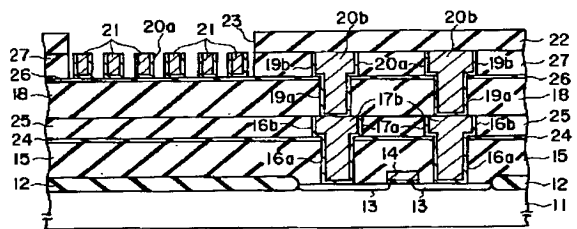
【図 4 1】



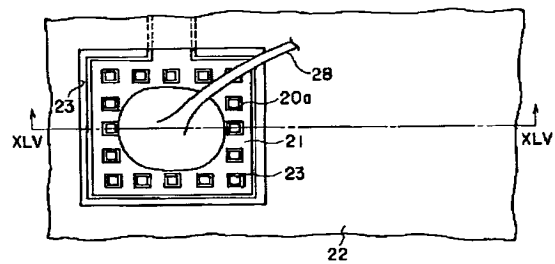
【図 4 2】



【図 4 3】



【図 4 4】



【図 4 5】

